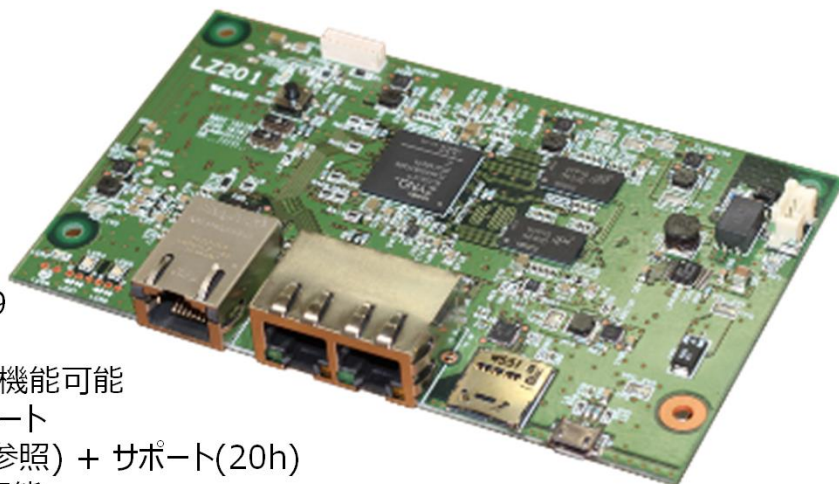


特長

- Xilinx Zynq SoC XC7Z010搭載
組込型高速EtherCAT通信基板
- 通信処理はFPGAで制御
100μsec以下の通信周期(DC使用)
- ユーザーアプリはDual ARM Cortex A9
CPU上で動作
- MasterリファレンスクロックによるDC同期機能可能
- 上位アプリケーションI/F用 Ethernetポート
- 開発評価キット LZ202 + SDK(裏面参照) + サポート(20h)
- アプリケーション開発・カスタム基板開発可能



ハードウェア仕様

CPU	Xilinx Zynq SoC XC7Z010搭載 (Dual ARM Cortex A9 CPU 667 MHz + FPGA Logic 28K logic cell)
メモリ	1GB DDR3 SDRAM 1066Mbps
	QSPI NOR Flash 32MB
EtherCATポート	RJ45 100Mbps 2ports (内1ポートはリダンダンシー用)
Ethernetポート	RJ45 1Gbps 1port (for TCP/IP)
USBポート	Micro-USB 1port (for UART)
スロット	microSD slot (SDHC, SDHS対応)
拡張コネクタ	80port's GPIO
電源	DC 24V
サイズ	130 x 80mm
動作温度	0-50 °C
RoHS	対応

FPGA化したマスタースタックはこれらの要望に応えられます！

- **正確な時間間隔**で周期通信を行いたい
→ OS(RTOS)影響で時間ズレ
- 100μsec以下の**高速な周期通信**を行いたい
→ 実際のデータ量/Slave数では厳しいことが多い
- ユーザ演算処理と**独立してEtherCAT通信**を行いたい
→ 干渉した設計になりやすい



- **正確な時間間隔**
OS介在なし 30nsec以下のジッター
- **100μsec以下の高速通信**
40Byte×5slaveで40μsecの周期通信
- **通信を行うFPGAとユーザーアプリのCPUが独立**
通信がユーザーアプリケーションCPUに影響しない

ソフトウェア仕様

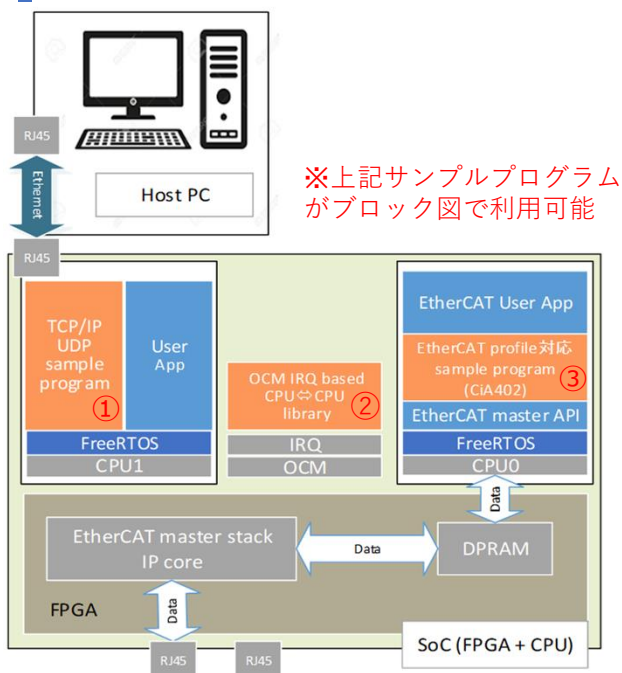
概略

開発環境	Xilinx Vivado 2018.2, XILINX デバッグツール DLC 10 (お客様ご用意)
API	DC同期, ENI読み込み, PDOマッピング, CoE(SDO), PDO, FoE通信
SDK	Configuration Tool (Slave機器のスキャン, 接続, 状態遷移, Slaveへのデータ設定, Slave収集データ閲覧, ESI取込, ENI生成), サンプルコード

サンプルコード

標準提供	IO制御 SDO通信 DC同期 ENI読み込み PDO動的マッピング Cable冗長性機能 ※DC非対応 ファイル読み書き TCP/IPソケット通信 (①) マルチコア動作アプリ(②) CiA402プロファイル(③)
有償オプション	Cable 冗長性機能 DC対応 ・MasterリファレンスクロックによるDC同期

ブロック図



デバッグ構成

