

KSJ EtherCAT FPGA Master

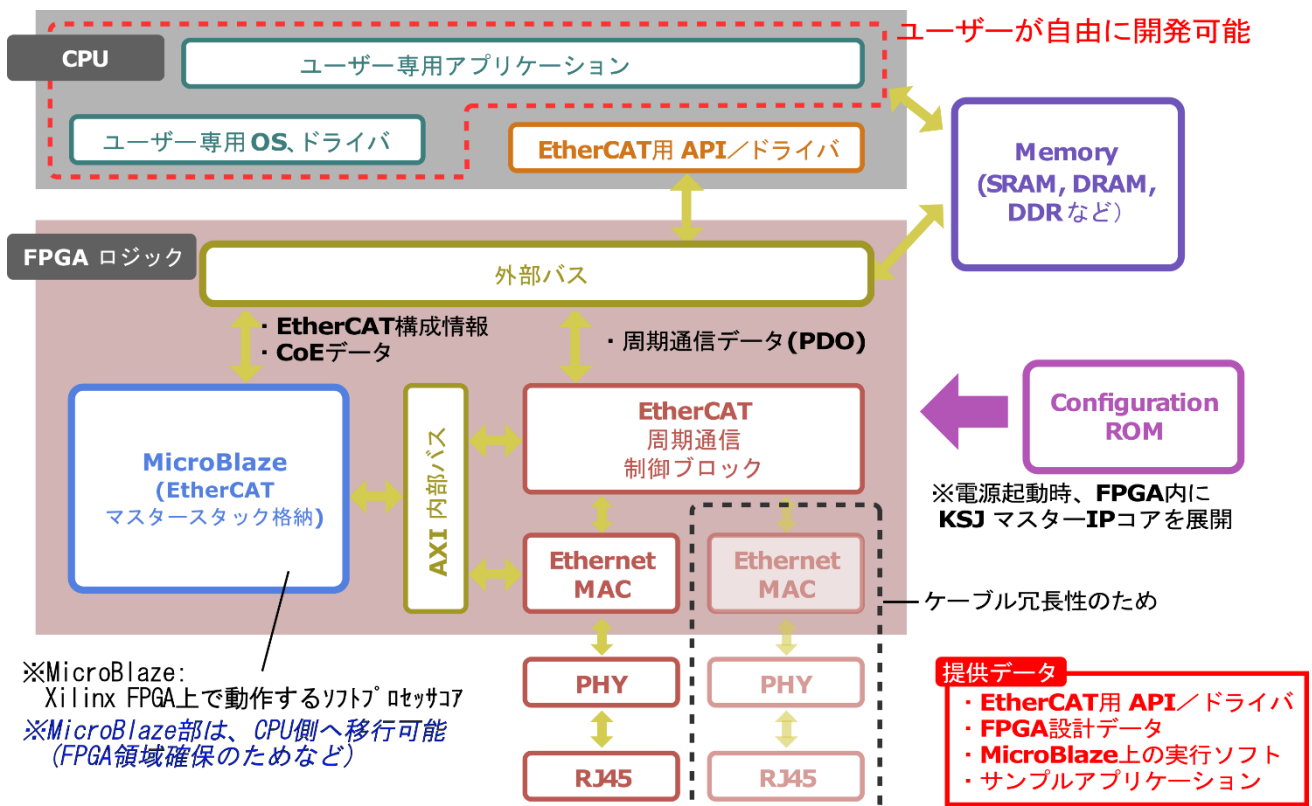
【EtherCAT】よく問題となるケース

- **正確な時間間隔**で周期通信を行いたい
→ ▲ OS影響で時間ズレ（リアルタイムOSでも）
- 100μsec以下の**高速な周期通信**を行いたい
→ ▲ 実際のデータ量/Slave数では厳しいことが多い
- ユーザ演算処理と**独立してEtherCAT通信**を行いたい
→ ▲ 干渉した設計になりやすい

○ FPGA化したマスタースタックはこれらの要望に応えられます！

- OS介在なし！**50nsec以下のジッター！**
 - **40Byte×5slaveで40μsecの周期通信！**
 - **FPGAのみで動作するため、CPUへ影響なし！**
- ※マスタースタックはHDL化されているため
FPGAメーカーに依存しません

■ Xilinx FPGAベース EtherCAT Master 機能イメージ



■ 弊社FPGAマスターのEtherCAT機能

EtherCATの基本的かつ重要な機能に限定しており、

「ETG.1500 classB準拠機能」、「DC機能」、「Cable Redundancy」に対応しております。

※ただし、classA機能のうち、市場ニーズの強い一部機能（FoEなど）は、実装しております。

■ 周期通信速度/送出タイミングジッター 実測値

32bitデータ ×1スレーブのシステム

40byteデータ×5スレーブのシステム

8 μsec (Jitter ≒ 30nsec)
40 μsec (Jitter ≒ 30nsec)

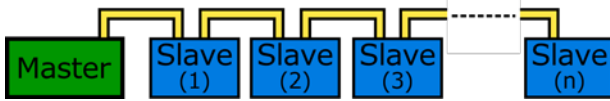
■ CPU, FPGAのユーザー利用

- ・ CPUは、OSを含め自由に開発可能
- ・ FPGA領域の空きエリアには、ユーザ回路を組み込み、結合することも可能
- ・ Zynq SoC利用の場合、KSJより、FreeRTOS, Xenomai, Bare Metalなどのドライバ提供します

KSJ EtherCAT Slave 【DC制御に強み!】

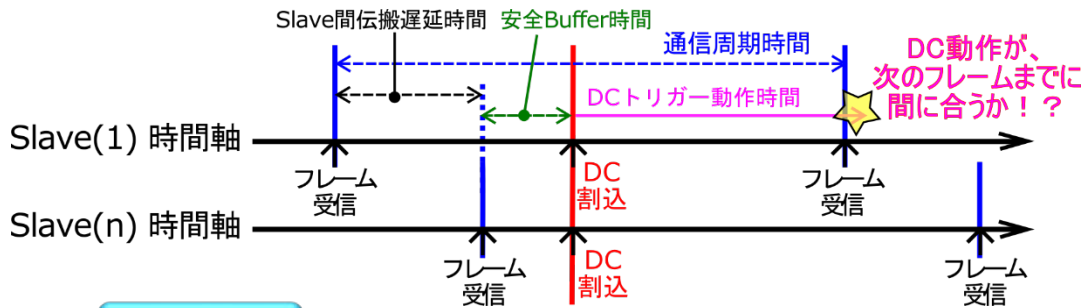
DC機能のタイミング

■ 一般的な通信体系



- ・ 全てのスレーブで同時にDCトリガーは発生
- ・ 周期通信のフレームは、スレーブ間で遅延あり！

■ DC動作と周期通信タイミング



問題点

- ・ Slave内のDCトリガー動作は、周期通信間隔とリンクしない。
- ・ DC動作が周期通信間隔時間内に間に合わない可能性がある!!

- 周期通信が高速になればなるほど、シビア
- DC割込タイミングは全スレーブで同じだが、通信フレームが届くタイミングは異なる!

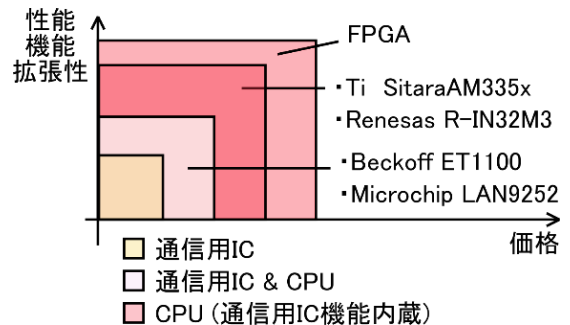
強み

弊社開発Slaveでは、Master設計と併せ、周期通信で必ず最新のDC動作を取り込みます！

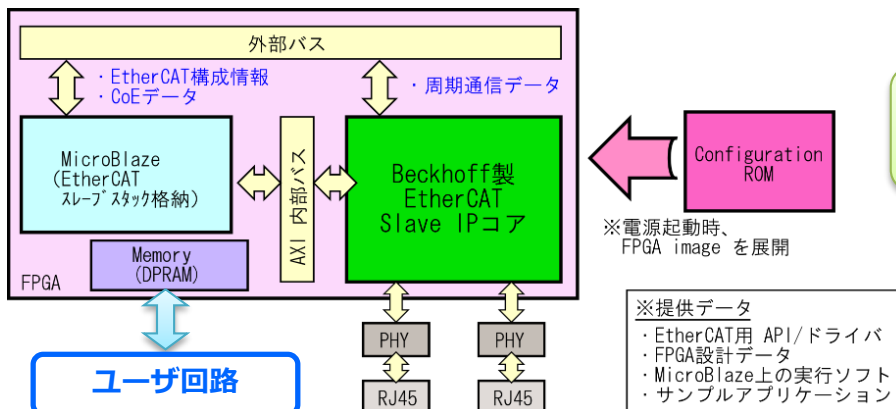
■ KSJ EtherCAT Slave 開発実績紹介

ボード性能に合わせ、様々な形態で提供可能！

- ・ **イニシャル費を抑えるには？**
- ◎ 通信用IC (Beckhoff ET1100など) 利用
- ・ **高速通信を想定したEtherCATインターフェイスは？**
- ◎ FPGAで実装し、DPRAMでデータ授受



■ FPGA版Slave ブロック図

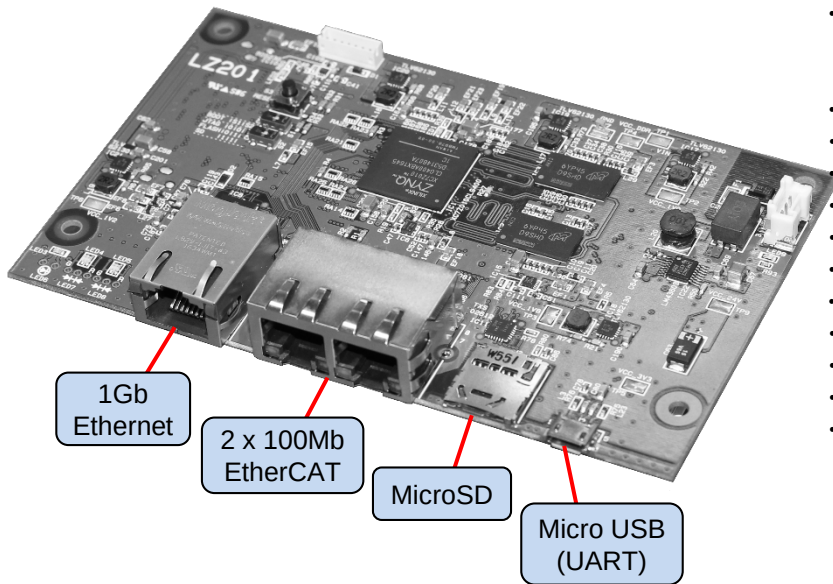


FPGA設計により、

- ・ 部品点数が減少! (RAMなど)
- ・ 廃品のリスクも低減!

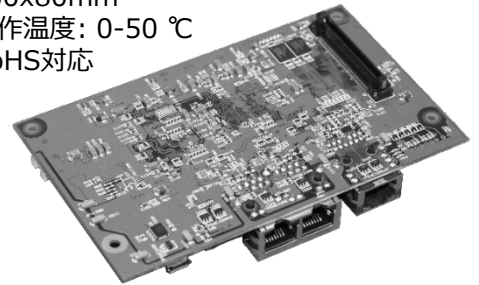
- ・ EtherCAT通信機能は、弊社側のロジックで完結!
- ・ FPGA内にDPRAMを用意
- ・ ユーザ回路は、DPRAMとのデータ授受を行うのみ!

KSJ製 EtherCAT 評価ボード ～KSJマスタースタック/スレーブスタック搭載可～



■ LZ202 ハードウェア仕様

- ・ Xilinx Zynq SoC XC7Z010搭載
(Dual ARM Cortex A9 CPU 667 MHz + FPGA Logic 28K logic cell)
- ・ 1GB DDR3 SDRAM 1066Mbps
- ・ QSPI NOR Flash 32MB
- ・ RJ45 100Mbps 2 EtherCAT ports
- ・ RJ45 1Gbps Ethernet port (for TCP/IP)
- ・ microSD slot (SDHC, SDHS対応)
- ・ USB micro コネクタ for UART
- ・ 拡張コネクタ: 80pin's GPIO
- ・ 電源DC 24V
- ・ 130x80mm
- ・ 動作温度: 0-50 °C
- ・ RoHS対応



■ 搭載できるKSJ EtherCATマスタースタック

	種類	動作環境	OS	代表機能	周期通信速度 (32bit×3slave例)	ジッター
1	KSJマスター	ARM CPU	FreeRTOS	・ ETG.1500 Class B準拠 ・ DC機能 ・ Cable Retundancy	60 μsec	300 ～ 1000 nsec
2	KSJマスター	ARM CPU & Xilinx FPGA	FreeRTOS	・ ETG.1500 Class B準拠	20 μsec	30 nsec
3	KSJマスター 【IPコア】	Xilinx FPGA	-	・ ETG.1500 Class B準拠	20 μsec	30 nsec

■ KSJマスタースタック評価時の提供データ

- ・ EtherCAT用 API/ドライバ (FreeRTOS, Xenomai, Linux, Bare Metal用)
- ・ FPGA設計データ (Xilinx Vivadoプロジェクト)
- ・ MicroBlaze上の実行ソフト
- ・ サンプルアプリケーション (FreeRTOS, Xenomai, Linux, Bare Metal用)
- ・ Windowsサンプルアプリケーション (※TCP/IP通信)

■ 搭載できるKSJ EtherCATスレーブスタック

- ・ Beckhoff IP core と KSJ スレーブスタックが、基板上に搭載されます。(製品名: LZ202s)
- ・ Slave 評価用のため、デジタル入出力可能な拡張ボードとともに、販売いたします。